

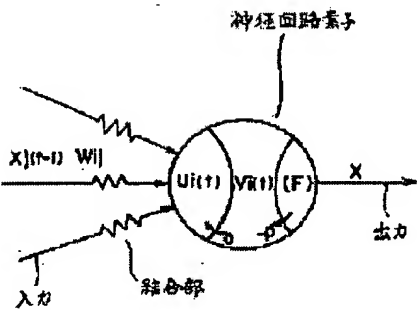
NEURAL NETWORK ELEMENT

Publication number: JP6083994
Publication date: 1994-03-25
Inventor: SHIGEMATSU SEIJI; MATSUMOTO HAJIME; AKIYAMA SHUJI
Applicant: AGENCY IND SCIENCE TECHN
Classification:
- international: G06F15/18; G06G7/60; G06N1/00; G06F15/18; G06G7/00; G06N1/00; (IPC1-7): G06G7/60; G06F15/18
- European:
Application number: JP19920254189 19920828
Priority number(s): JP19920254189 19920828

Report a data error here

Abstract of JP6083994

PURPOSE:To realize the neural network element which is used for a neural network computer system, executes a parallel arithmetic processing operation, is provided with the timewise information processing capacity, and also, can easily be converted into an integrated circuit. **CONSTITUTION:**The element is provided with a function for accumulating many pulse train inputs X_j by a certain combination coefficient W_{ij} , executing an arithmetic processing in an (i) cell, and outputting a pulse train X_i as an output. Its operation is shown by the following expression. In this regard, (a), T, (p), U, and V denote an attenuation time constant, a threshold, a constant of ignition, a accumulated value, and an internal potential, respectively. This operation is repeated for a determined time width, and an information processing is executed by a neural network in cooperation with other element.



$$U_i(t) = \sum W_{ij} X_j(t-1) + a V_i(t-1)$$
$$X_i(t) = \begin{cases} 1 & \text{if } U_i \geq T \\ 0 & \text{if } U_i < T \end{cases}$$
$$V_i(t) = U_i(t) - P \cdot X_i(t)$$

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-83994

(43) 公開日 平成6年(1994)3月25日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 G 7/60

G 0 6 F 15/18

8945-5L

審査請求 有 請求項の数 3 (全 7 頁)

(21) 出願番号 特願平4-254189

(22) 出願日 平成4年(1992)8月28日

特許法第30条第1項適用申請有り 1992年7月12日～7月15日 電子技術総合研究所開催の「神経情報処理に関する国際シンポジウム」において文書をもって発表

(71) 出願人 000001144

工業技術院長

東京都千代田区霞が関1丁目3番1号

(72) 発明者 重松 征史

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(72) 発明者 松本 元

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(72) 発明者 秋山 修二

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(74) 指定代理人 工業技術院電子技術総合研究所長

(54) 【発明の名称】 神経回路素子

(57) 【要約】

【目的】 神経回路計算機システムに用いる素子で、並列演算処理動作を行い、時間的情報処理能力を備え、集積回路化も容易な神経回路素子を実現する。

【構成】 多数のパルス列入力 X_j をある結合係数 W_{ij} で集積し、 i 細胞内で演算処理し、出力にパルス列 X_i を出す機能を備える。その動作は次の式で表される。

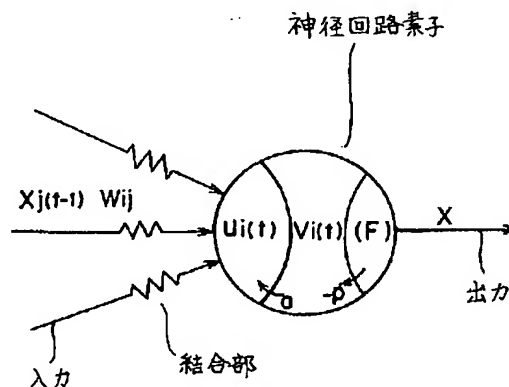
【数5】

$$U_i(t) = \sum_{j=1}^N W_{ij} X_j(t-1) + aV_i(t-1),$$

$$U_i(t) \geq T \text{ ならば } X_i(t) = 1, V_i(t) = U_i(t) - p$$

$$U_i(t) < T \text{ ならば } X_i(t) = 0, V_i(t) = U_i(t)$$

ただし、 a は減衰定数、 T は閾値、 p は発火の定数、 U は集積値、 V は内部ポテンシャルである。上記の動作を決まった時間幅で繰り返し行い、他の素子と共に協調して神経回路網による情報処理を行う。



$$U_i(t) = \sum W_{ij} X_j(t-1) + aV_i(t-1)$$

$$X_i(t) = \begin{cases} 1 & \text{もし } U_i \geq T \\ 0 & \text{もし } U_i < T \end{cases}$$

$$V_i(t) = U_i(t) - P \cdot X_i(t)$$

1

【特許請求の範囲】

【請求項1】 ある時点の神経回路素子への、少なくとも1以上の入力値のそれぞれに該入力値に対応の結合係数を乗じ、その各結果と該神経回路素子内の残留値との総和を演算し、その演算結果を集積値とする演算手段と、

当該集積値と予め定めた閾値とを比較し、前記集積値が前記閾値以下の場合、比較結果として第1のビット値の信号を出力し、当該集積値を次の時点の前記残留値として取扱うと共に、前記集積値が前記閾値を越える場合は、比較結果として第2のビット値の信号を出力し、当該集積値から定数値を差引いた値を前記残留値として取扱う比較手段と、

を具えたことを特徴とする神経回路素子。

【請求項2】 前記結合係数を外部から前記演算手段に入力し、当該結合係数を可変設定可能としたことを特徴とする請求項1に記載の神経回路素子。

【請求項3】 前記外部から入力した結合係数および前記1以上の入力値を一時記憶しておく記憶手段をさらに具えたことを特徴とする請求項2に記載の神経回路素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、神経回路網（ニューラルネットワーク）を構成する神経回路素子に関する。

【0002】

【従来の技術】従来の基本的な神経回路素子に対する入力および出力の関係を図6に示す。また、神経回路素子の特性を図7に示す。

【0003】従来、この種、図6に示すような神経回路素子は神経細胞の特性を時間的に集約した形でアナログ的に動作し、その入出力関係は図7のような非線形特性を持つ。図6の神経回路素子では、神経回路素子1への多数のアナログ入力Xと結合係数Wとの積を次式のように集積してその内部ポテンシャルUを求める。

【0004】

【数1】

$$U_i(t) = \sum_{j=1}^N W_{ij} X_j(t-1) - T$$

【0005】ただし、Tは定数で最大出力値の1/2とする値とする。Uを、図7のような非線形連続関数F(x)で次式のように変換して、

【0006】

【数2】 $X_i(t) = F(U_i(t))$

神経回路素子はアナログ値Xを出力するものであった。

【0007】このような神経回路素子をアナログ回路を用いて実現し、それらを複数個集めてニューラルネットワークを構成すると、個々の神経回路素子の電気特性を均一に揃えることが難しく、個々の入力結合係数Wを学

2

習により変えたり保持記憶したりすることも難しいという不具合がある。このためニューラルネットワークを大規模な集積回路で作製することは非常に困難であるという問題があった。

【0008】一方、デジタルの回路を用いて神経回路素子を実現した場合、従来のモデルでは、上述したようなアナログ入力Xと結合係数Wの積と演算処理と出力の非線形変換処理において複雑な演算が必要である。また、神経回路素子の数が増えると、アナログ入力のため結線数が複雑となりその取り扱いが問題となる。このため、結線数を減らすように時分割多重のバスを設けて処理するDB型やパルス密度でアナログ値を表わして処理するPD型と呼ばれる神経回路素子が提案されている。DB型は多重度により処理時間が遅く（長く）なるという欠点があり、PD型は多重動作が困難で集積度が上がらないなどの欠点があった。

【0009】加えて、既存の神経回路素子の動作特性は実際の神経細胞の特性とは異なる。たとえば、入出力がアナログ値であるとともに数1、数2のように、一回の演算時間毎に時間情報は途切れ、次の時間には以前の情報が伝わらないという処理内容になっている。このため、時間的な処理を要する情報処理をニューラルネットワークで行う場合、ニューラルネットワーク内に帰還（フィードバック）回路を設けるという対策が必要となっている。これはニューラルネットワーク内の結線数がさらに増えることを意味しており、ニューラルネットワークの集積化に対する問題となっている。

【0010】そこで、本発明は、（1）できるだけ実際の神経細胞に似た特性を持ち、（2）相関や履歴等の時間的な情報の演算が可能で、（3）高速処理ができ、（4）他の神経回路素子との間で並列処理動作可能な、（5）神経回路素子間の結線を減らし、（6）外部とのインターフェイスを容易にし、（7）入力結合係数を自由に可変設定し、学習に対する適応性を持つ、（8）ニューラルネットワークの高密度な集積回路化の容易な神経回路素子を提供することを目的とする。

【0011】

【課題を解決するための手段】このような目的を達成するために、請求項1の発明は、ある時点の神経回路素子への、少なくとも1以上の入力値のそれぞれに該入力値に対応の結合係数を乗じ、その各結果と該神経回路素子内の残留値との総和を演算し、その演算結果を集積値とする演算手段と、当該集積値と予め定めた閾値とを比較し、前記集積値が前記閾値以下の場合、比較結果として第1のビット値の信号を出力し、当該集積値を次の時点の前記残留値として取扱うと共に、前記集積値が前記閾値を越える場合は、比較結果として第2のビット値の信号を出力し、当該集積値から定数値を差引いた値を前記残留値として取扱う比較手段と、を具えたことを特徴とする。

【0012】請求項2の発明は、請求項1の発明に加えて、前記結合係数を外部から前記演算手段に入力し、当該結合係数を可変設定可能としたことを特徴とする。

【0013】請求項3の発明は、請求項2の発明に加えて、前記外部から入力した結合係数および前記1以上の入力値を一時記憶しておく記憶手段をさらに具えたことを特徴とする。

【0014】

【作用】請求項1の発明は、閾値の比較対象となった集積値を次の時点の残留値（内部ポテンシャル）として残すので、時系列的に入力される入力値に相関性が生じ、従来ではできなかった時間的情報処理能力を素子自体が持つことになる。また、演算手段の実行する演算も単なる定数の乗算および加算だけなので回路構成が容易となる。さらに、出力の発火定数値を差し引く処理方法により、計算時間幅を広く取り効率良い計算処理ができる。

【0015】請求項2の発明は、外部から結合係数を可変設定できるので、神経回路素子に学習機能が備わる。

【0016】請求項3の発明は、神経回路素子に入力する入力値および結合係数の一時記憶機能を持たせる。このため、複数の神経回路素子を接続する際に記憶手段を共通バスで接続でき、ニューラルネットワーク内の信号線の数を減少できる。また、各神経回路素子の同期をとることも可能となる。

【0017】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0018】本発明は、従来の神経回路素子が基本的に入出力をアナログ的に処理することを考えていたのとは異なり、実際の生体神経細胞と同じくパルス列の入出力信号で動作させ、素子内部ではアナログ的演算処理をするという新しい考え方に基づいた構成を取ることににより、上記の問題解決を図った。

【0019】本発明を適用した神経回路素子の入力と出力の関係を図1に示す。多数の入力のパルスは結合部を通して神経回路素子内に集積される。内部ポテンシャルの減衰値 aV が本発明の残留値として以前から引継がれ、集積された入力に加わり最終的な集積値 U となる。この集積値 U が閾値 T より大きいと、出力にビット値“H”を出し、集積値 U からある定数 p を引いたものが内部ポテンシャル V となる。

【0020】集積値 U が閾値 T よりも小さいと出力はビット値“L”であり、内部ポテンシャル（本発明の残留値） V として集積値 U がそのまま引継がれる。入出力のビット値“H”、“L”は、2値論理の値で、それぞれ“1”、“0”であったり、“1”、“-1”であったりするが、ここでは“1”、“0”を用いて説明する。

【0021】以上の動作を各離散時間毎の動作処理式で示すと次式となる。

【0022】

【数3】

$$U_i(t) = \sum_{j=1}^N W_{ij} X_j(t-1) + aV_i(t-1)$$

【0023】入力のパルスがビット“1”であるものでだけ、各結合係数 W が加算されて数3の右辺の第1項となる。右辺の第2項は以前の時間からの残留内部ポテンシャルを示し、定数 a （ $0 < a < 1$ ）で V が時間と共に減衰して行くことを表す。このときの出力 X_i は集積値 U_i と閾値 T により次のように決められる。

【0024】

【数4】 $U_i(t) \geq T$ ならば、 $X_i(t) = 1$ および $V_i(t) = U_i(t) - p$

$U_i(t) < T$ ならば、 $X_i(t) = 0$ および $V_i(t) = U_i(t)$

ここで、 p は定数で T にほぼ等しいとする。

【0025】以上の演算処理を各神経回路素子毎に並列に繰返して実行する。このような神経回路素子を組み合わせさせてニューラルネットワーク（神経回路網）を構成して情報処理をする。

【0026】数3で減衰値 aV を新たに加えることによって前の神経回路素子の内部状態を引継ぐことが可能となり、新たな動特性を持った情報処理が可能となった。

【0027】以上説明した神経回路素子をアナログ回路で実現する例を図2に示す。

【0028】図2において多数の入力パルス X は結合係数 W に相当した抵抗 30 を通して積分回路 10 に入力され集積される。そのとき、以前の集積値が漏洩抵抗 R により減衰した形で残留している。したがって、この集積値（本発明の残留値）が加わり新たな集積値 U となる。出力 X は、通常は0レベルにあるが、積分回路 10 の出力である集積値 U と閾値 T が比較され、集積値 U が閾値 T 以上であると、パルス発生器 20 で、振幅・時間幅が一定のパルスを発生する。このパルス値 p は積分回路 10 の入力に負帰還され、集積値から差引かれる。上述の入力パルス列を集積し出力パルスを出す動作を繰り返して実行する。

【0029】このような神経回路素子では入力パルス列を集積し、内部演算して、パルス列を符号化して出力することになる。この神経回路素子の時間特性は積分回路 10 のキャパシタ C と漏洩抵抗 R による残留の時定数 a で決められる。 CR の積が大きいと、ある時刻の入力パルスの影響は長時間に働き、 CR 積が小さいとパルスの影響は短時間に限られる特性となる。またパルス列の発生は時定数 a と閾値 T と出力の負帰還の値 p で決まる。 T と p はほぼ同じ値でよい。またいくつかの神経回路素子を組み合わせると同期動作をしたい場合は、同期パルスによりパルス発生器 20 を制御して同期したパルス発生を実現することができる。

【0030】興奮性・抑制性入力がある場合には、結合係数 W に従って興奮性を積分回路 10 の正入力端子に抑

制性を負入力端子に接続する。入力に感受容器のようにパルス列でなくアナログ値の場合も、入力に抵抗結合を介して他のパルス列と同様にアナログ値を直接入力すれば良い。出力のパルス列を復調してアナログ出力を得るためにはそれを低周波透過フィルタLPFを通せばアナログ出力として取り出せる。また、学習により入力の結合係数 W を変えたい場合は、従来のアナログ回路の方法で用いられた容量蓄積や浮遊ゲートデバイスなどで実現することが考えられる。

【0031】次に、デジタル回路で神経回路素子を実現する例を図3を使って説明する。この神経回路素子は結合係数記憶部50と論理演算部60とにより構成され、このような複数の神経回路素子が、図4に示すように、全体の信号の流れを制御する入出力制御部70に接続される。

【0032】結合係数部50には、デジタル記憶素子のRAM（ランダムアクセスメモリ）が用いられ、各神経回路素子毎の入力結合係数 W が記憶される。これにより W の精度も8ビットでも10ビットでも任意に取ることができ、その値も自由に変更が可能となる。また、この結合係数（記憶）部50には、係数 W_{ij} に付随して1ビットの入力 X_j も各時間毎にアドレス指定で書換え記憶するようにする。

【0033】演算処理部60は数3と数4の演算処理をする回路であり、各数値は整数値として扱い入力が抑制性のときは W_{ij} が負数として計数処理をする。入力の集積は係数記憶部50から順次 X_j と W_{ij} を読出し、 X_j がビット値1の値をもつ W_{ij} のみを加算すればよく、乗算の必要もなく各神経回路素子毎に非同期で高速に処理できる。残留内部ポテンシャル aV （ただし、 $0 < a < 1$ ）を求める方法は、 a が定数であるので、次のようにすれば乗算器なしでできる。まず、2進数 V のレジスタを右にシフトさせて $V/2$ 、 $V/4$ 、 $V/8$ などをつくり、それらを加減することで行う。例えば、 $a = 0.75$ のとき $V/2 + X/4$ となる。そして入力の集積値と aV の和から U_i が得られる。数4に基づき U_i を閾値 T と比較して新たな出力 X_i を求め、数4により内部ポテンシャル V を決める。これらの論理演算回路は簡単なもので特殊な回路を必要としなく高速処理ができる。

【0034】各神経回路素子の出力が決まったとき入出力制御部70は、次のステップに進むためにアドレスバス（複数本）と入出力バス（1本）により結合係数記憶部50の入力 X_j に各神経回路素子毎の出力を順次書込み、次の処理に引継ぐ。また、一基板上の神経回路素子の集まりを一モジュールとしてシステムを構成することができ、一基板上以外の検出器入力や出力信号さらに他のモジュールとの信号の受渡しのための制御も、入出力制御部70は行い、インターフェイスとしての役割もする。入力出力はデジタル信号なので他の回路との接続も

簡単になる。

【0035】従来厄介であった入力の集積をする処理も、上記のように乗算が不必要であるばかりでなく各時間毎の発火率（出力が1の割合）は多くても全体の十数%程度であるので、 W_{ij} の和を計算する回数も少なくして高速に処理できる。システム全体として同期して動作させるためには、上に述べた演算処理の時間と入出力制御の時間とが二つの相となって交互に繰り返すことで実現できる。神経回路素子間の結線の問題も、出力を結合係数記憶部に入力値および結合係数を書込むことによりアドレスバスと1本のデータバスの共通バス接続が可能となり複雑な結線を必要としない。図4に示した各演算処理部からの出力線もアドレスバス、データバスを共用することにより省略することも可能である。また、ここで用いた回路は全て特別なものを必要とせず従来のシリコンによるVLSI技術が十分に活用できるものである。

【0036】これに学習機能を付け加えるには、例えばHebb学習則のように入力 X_j と演算処理後の新たな出力 X_i とが共に1の場合にその結合係数 W_{ij} を強化させる法則を適応すれば実現できる。このときの係数 W_{ij} の書き換えはRAMであるので自由にできる。

【0037】次に、本発明の特性を持った素子を使うことにより実現できた機能の例をいくつか述べる。

【0038】（例1）パルス列発振は、神経回路素子の入力に連続したパルスを加え、入力結合係数 W を適当に調整して、入力と出力の線形的な特性を利用することにより任意の出力のパルス密度のパルス列を簡単に発生できた。

【0039】（例2）時間的情報処理としては、パルス入力があっても出力が無いとき内部にポテンシャルが残留して次のパルス発生を助ける働きをするので、続いて来たパルスとの時間間隔がパルス発生に重要な意味を持つ、このような履歴を持った機能を実現できた。

【0040】（例3）複数の入力パルス列が一つの素子に入力するとき、各入力パルス列の時間的に近く入力するパルス間の相互干渉が生じて出力パルスを発生するなどの位相差検出の機能も実現できた。

【0041】（例4）入力が単純なパルス列のみであっても、上述のような入力パルス列間の時間的履歴干渉機能の組み合わせにより、複雑なカオス的なパルス列の出力を発生することができた。

【0042】（例5）パーストのような間欠連続パルス列の発生は、興奮性結合をした複数の素子に発生時間間隔の長い周期的パルスを入力することで簡単に実現できた。

【0043】（例6）いくつかの素子を直列に組み合わせるか、または興奮性結合をした複数の素子の組を作ること、興奮入力パターンをしばらくの間神経回路内に保持する神経の短期記憶のような機能も実現できる。

【0044】(例7) 視覚の移動方向の検出は、神経回路素子を二層構造に配置し、第一層の素子の出力を、右方向には抑制的結合で、左方向には興奮性結合とすることにより、左方向の運動入力刺激にのみ応答して出力パルスを発生する素子が第二層に実現できた。

【0045】(例8) システム制御などでアナログ制御信号が必要ときには、出力パルス列を低周波フィルタを通すことにより、アナログ信号が簡単に取り出せその制御にも直接利用できた。

【0046】(例9) Hebbの学習則を適用して、10 入力と出力の関係から結合係数Wを変化させパターンの入出力に対する学習をさせることもできた。

【0047】以上のような時間を考慮した情報処理機能は、本発明の神経回路素子を使うことで簡単に実現できるようになった。

【0048】従来の方法では、時間的にパルス列を集約することにより情報処理の効率を高めようとして時間的情報を切り捨ててしまったことや、入力出力がアナログ量となったために処理を複雑にしてそのハードである神経回路素子も複雑な回路構成となっていた。ところが個々のパルスにおいても豊富な時間情報を持ち、生体の神経系の情報処理ではそれが重要な要素となっていることが分かってきた。従来の神経回路システムではそのような時間情報処理特性に眼をつぶっていたが、本発明により個々のパルスの持つ時間情報も考慮可能なモデル化ができ、神経回路素子の構造も単純化し、さらに多数の素子を組み合わせで大規模な神経回路システムを構築することも可能になった。

【0049】本実施例の他、次の例でも実現できる。すなわち、数4で出力X1が1の時、定数pを引く代わりにV1=0とする零復帰の方法もある。しかし、上記の計算を離散時間で計算するためにある単位時間幅をとって計算するとき、大きな効果の違いが現れる。例えば、計算を効率よくするために時間幅を広く(最小パルス発火間隔程度に)取ると、入力出力の関係は図5に示すように、零復帰の場合は非常に非線形な段階的特性Aになり、本実施例の数4の場合は非線形特性Bの関係となる。

【0050】なお、実際の神経細胞の応答は特性Bに近い線形的応答である。そこで正確に求めるため時間間隔をもっと細かく1/10程度にして同じ計算をすると零復帰法でも数4と同じく線形的応答となる。このことから、数4の定数pを引くことは、計算時間幅を広く取り効率よい高速な計算を行い得るために重要な手段であり、これにより適当な時間幅で全体を同期的に動作させることも可能となる。

【0051】

【発明の効果】以上、説明したように、本発明により、生体の神経細胞のパルス列による時間情報の処理の機構を非常に簡単にモデル化でき、動特性を持った工学的な神経回路を効率よく実現する効果をもたらす。

【0052】すなわち、減衰の時定数aによる残留値aVを入力値の総和に加えたことにより、次の時間に引継ぐ要素ができて神経細胞の動特性が実現でき、位相検出、履歴、同期発火、発振、バースト、カオスなど新しい情報処理の機能が簡単に実現できる。神経回路に異なる時間特性を持たせて神経系の特異性を表現するシステムを構成したいときには、時定数aが異なる神経回路素子を導入することで実現できる。パルス出力のとき定数を差し引く方法により線形性を高め、効率よい時間幅で同期動作による並列演算処理もできるようになった。神経回路素子内部の計算処理も非常に簡単であるため、高速の処理ができ、それを実現するための回路も簡単となり、デジタル回路を用いてVLSI化することも可能となった。入力出力ともに0, 1の2値デジタル信号を用いると、素子間の結線も単純化できる。さらに集積化された素子の集まりを一モジュールとして、他のモジュールと簡単に接続して大規模神経回路システムを構築することも可能となった。さらに、他のアナログ回路要素を持つシステムとのインターフェイスも簡単な回路で実現できる。

【図面の簡単な説明】

【図1】本発明の神経回路素子の入出力の関係を示す構造図である。

【図2】本発明をアナログ回路で実現した神経回路素子の構成を示す回路図である。

【図3】本発明をデジタル回路で実現した神経回路素子の構成を示す回路図である。

【図4】図3の神経回路を複数接続した回路を示すブロック図である。

【図5】本発明実施例と他の実施例の動作特性を示す説明図である。

【図6】従来例の神経回路素子の入出力の関係を示す構造図である。

【図7】従来例の入出力の動作特性を示す説明図である。

【符号の説明】

U 入力の集積値

W 入力の結合係数

X 出力値、他の素子に対しては入力値

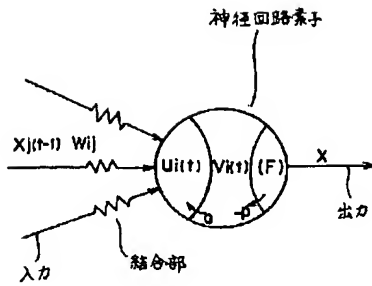
V 内部ポテンシャルまたは残留値

a Vの時間減衰を示す時定数

T 閾値

P 発火パルスによる減少定数

【図1】

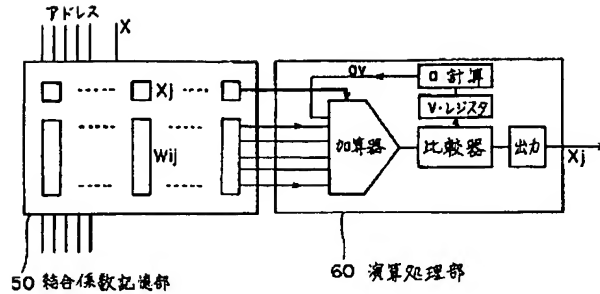


$$U_i(t) = \sum W_{ij} X_j(t-1) + a V_i(t-1)$$

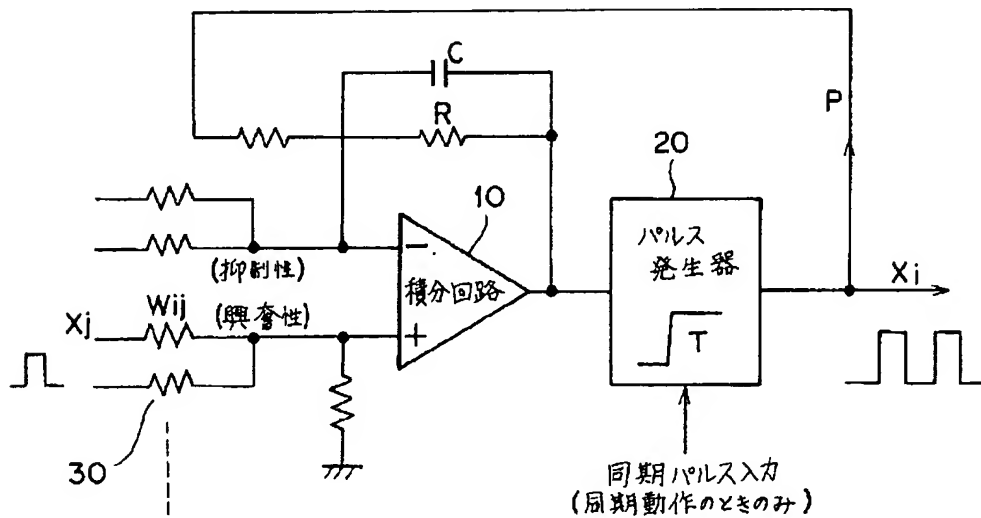
$$X_i(t) = \begin{cases} 1 & \text{もし } U_i \geq T \\ 0 & \text{もし } U_i < T \end{cases}$$

$$V_i(t) = U_i(t) - P \cdot X_i(t)$$

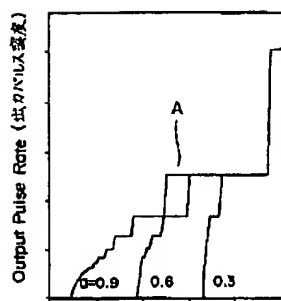
【図3】



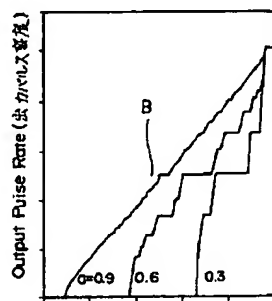
【図2】



【図5】

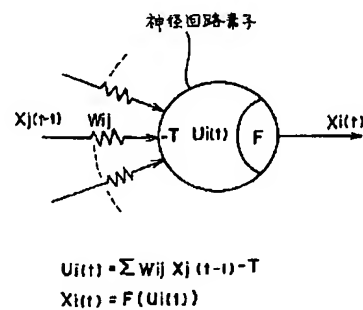


Input Intensity (入力強度)



Input Intensity (入力強度)

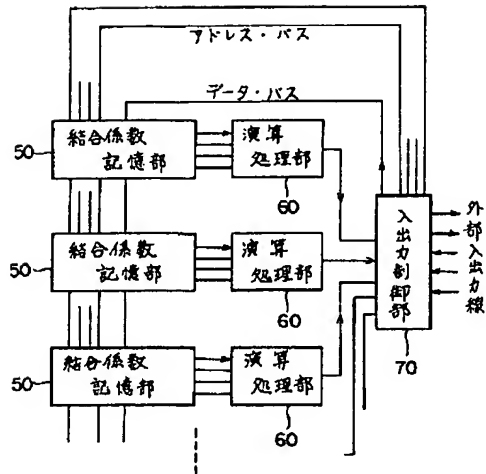
【図6】



$$U_i(t) = \sum W_{ij} X_j(t-1) - T$$

$$X_i(t) = F(U_i(t))$$

【図4】



【図7】

